



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2005252688 A**(43) Date of publication of application: **15.09.05**

(51) Int. Cl.

**H04N 9/45****H04N 9/78**(21) Application number: **2004060844**(71) Applicant: **NEC CORP**(22) Date of filing: **04.03.04**(72) Inventor: **ITAKURA SHINJI**

(54) **COMPOSITE ANALOG/COMPONENT DIGITAL IMAGE SIGNAL CONVERTER AND CONVERSION METHOD, AND SUBCARRIER GENERATING CIRCUIT USED FOR IT, AND LUMINANCE/COLOR SIGNAL GENERATING CIRCUIT**

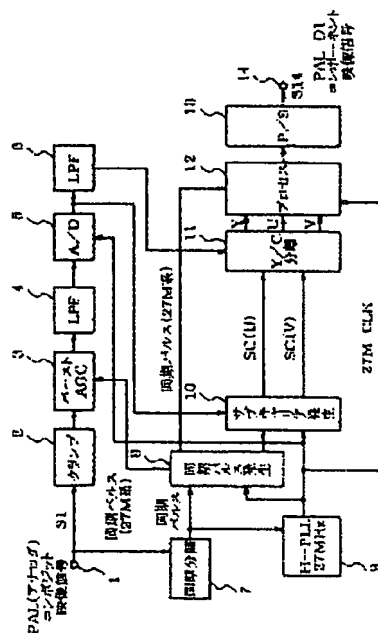
stable subcarrier signal can be extracted, and the accuracy of the YC separation is improved.

COPYRIGHT: (C)2005,JPO&amp;NCIPI

## (57) Abstract

**PROBLEM TO BE SOLVED:** To make a 4 fsc frequency clock circuit for a YC separation unnecessary by providing only the clock circuit of a reference frequency (27 MHz) as an analog clock circuit in a composite analog/component digital image signal converter.

**SOLUTION:** Generated from a synchronizing signal extracted from an input analog signal is 27 MHz clock used as the reference of the component digital image signal. The input signal is A/D converted by this clock. The subcarrier signal synchronized with the burst signal of the composite image signal is generated from the clock and the A/D converted digital video signal only by a digital circuit. The YC separation of the composite image signal is performed by this subcarrier signal to a component image signal. Further, a burst AGC circuit is added in which the amplitude of the burst signal of the input image signal becomes constant. Consequently, the



(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2005-252688  
(2005-252688A)  
(43) 公開日 平成17年9月15日 (2005.9.15)

(51) Int. Cl. H04N 9/45 H04N 9/78	FI	HO4N 9/45 HO4N 9/78	F A	5C066	チーマコード (備考)

審査請求 未請求 請求項の数 13 OL (全 21 頁)					
(21) 出願番号 (22) 出願日	特開2004-60844 (2004-60844) 平成16年3月4日 (2004.3.4)	(71) 出願人 000004237 日本電気株式会社 東京都港区芝五丁目7番1号			
		(74) 代理人 100109313 弁理士 机 呂彦 (74) 代理人 100136814 弁理士 工藤 雄司 (74) 代理人 100111637 弁理士 谷澤 清久 (72) 発明者 飯倉 新治 東京都港区芝五丁目7番1号 日本電気株式会社内			

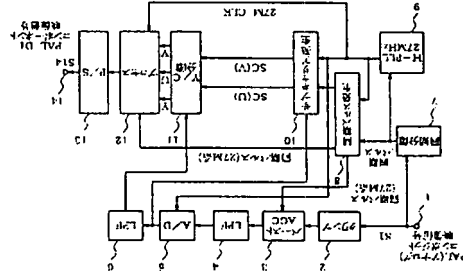
(54) 【発明の名称】 コンポジットアナログ/コンポーネントデジタル映像信号変換装置と変換方法、及びそれを用いるサブキャリア発生回路

(57) 【要約】

【課題】 コンポジットアナログ/コンポーネントデジタル映像信号変換装置において、アナログクロック回路として基準周波数 (27MHz) のクロック回路のみとし、Y/C分離のための4fs周波数クロック回路を不要とする。

【解決手段】 入力アナログ信号より抽出した同期信号から、コンポーネントデジタル映像信号の基準となる27MHzクロックを生成する。同クロックで入力信号をA/D変換する。同クロックと同A/D変換されたデジタル映像信号とにより、コンポジット映像信号のベースト信号に同期したサブキャリア信号をデジタル回路のみで発生させる。同サブキャリア信号により、コンポジット映像信号のY/C分離を行い、コンポーネント映像信号と一致する。更に、入力映像信号のベースト信号の振幅が一定になるベーストAGC回路を付加する。これにより、安定したサブキャリア信号を抽出でき、Y/C分離の精度が向上する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

輝度信号と色信号とがサブキャリアにより重畳されたコンポジットアナログ映像信号をコンポーネントデジタル映像信号に変換する際、前記コンポジットアナログ映像信号をデジタル化して得られたコンポジットデジタル映像信号から、輝度信号と色信号とを分離するために用いるサブキャリア信号を再生出力するサブキャリア発生回路であり、前記コンポジットアナログ映像信号のデジタル化に用いた前記コンポーネントデジタル映像信号の基準となる周波数のクロックを計数し、サブキャリア信号の位相値を算出する位相値算出手段と、サブキャリア信号の波形に対応した所定位相値ごとのレベルデータを記憶した記憶手段と、前記位相値算出手段で算出された位相値を、前記コンポジットデジタル映像信号のベースト信号の位相値との比較結果に応じて補正し、前記記憶手段から前記補正された位相値に対応するレベルデータを取出すことにより、前記コンポジットアナログ映像信号のベースト信号に同期したサブキャリア信号を生成する信号生成手段とを有することを特徴とするサブキャリア発生回路。

【請求項 2】

輝度信号と色信号とがサブキャリアにより重畳されたPAL方式のコンポジットアナログ映像信号をコンポーネントデジタル映像信号に変換する際、前記コンポジットアナログ映像信号をデジタル化して得られたコンポジットデジタル映像信号から、輝度信号と色信号とを分離するために用いられるサブキャリア信号を再生出力するサブキャリア発生回路であり、前記コンポジットアナログ映像信号のデジタル化に用いた前記コンポーネントデジタル映像信号の基準となる周波数のクロックの周期に対応する、サブキャリアの位相値の変化量を近似した固定値を出力する固定値出力手段と、前記クロックの所定値ごとに、前記固定値の近似誤差を補正するための近似誤差補正値を生成する近似誤差補正値生成手段と、前記近似誤差補正値と、位相補正値とを前記クロックごとに累積加算し、加算結果をサブキャリアの位相値として出力する位相値加算手段と、正弦波のレベルデータを順次読み出し、前記位相値加算手段からのクロックごとの位相値に対応するレベルデータとして出力する正弦波データ出力手段と、前記クロックごとの位相値に一致するレベルデータを順次読み出し、前記位相値加算手段からのクロックごとの位相値に一致するレベルデータを順次読み出し、余弦波信号として出力する余弦波データ出力手段とを有することを特徴とするサブキャリア発生回路。

【請求項 3】

前記コンポジットデジタル映像信号のベースト信号の位相と、前記余弦波データ出力手段から出力された余弦波信号の位相とを比較し、これらの信号間の位相差に対応する前記位相差補正値を生成し前記位相値加算手段へ出力する位相差補正値生成手段と、前記コンポジットアナログ映像信号から得られた水平同期信号に基づいて、前記余弦波データ出力手段から出力された余弦波信号を水平ラインごとに位相を反転し、前記サブキャリアの色成分のうちのV成分にロックした余弦波信号として出力する位相反転手段とを有することを特徴とするサブキャリア発生回路。

【請求項 4】

前記余弦波データ出力手段が、前記余弦波のレベルデータを格納する代わり、前記正弦波データ出力手段の前記正弦波のレベルデータを参照し、前記位相値加算手段からのクロックごとの位相値を90度遅らせて、対応するレベルデータを余弦波のレベルデータとして順次読み出すことを特徴とする請求項2記載のサブキャリア発生回路。

図1

前記コンポジットアナログ映像信号は、サブキャリアの4フレーム分のサイクル数である709、379サイクルが、前記27MHzクロックの4、320、000サイクルに対応し、

前記固定値出力手段が、サブキャリアの1サイクル分の位相を16ビットデータで表したときの前記固定値として、10、762を出力し、

前記近似誤差補正値生成手段が、前記近似誤差補正値として、前記27MHzクロックの2クロックごとに1を、24クロックごとに1を、2、015クロックごとに1を、4、320、000クロックごとに1を、それぞれ出力することを特徴とする請求項2記載のサブキャリア発生回路。

【請求項5】

輝度信号と色信号とがサブキャリアにより重畳されたPAL方式のコンポジットデジタル映像信号を、輝度信号と色信号とを分離することにより、コンポーネントデジタル映像信号に変換するための輝度・色信号分離回路であり、

それぞれ入力信号に2水平ライン分の遅延を与えて出力する第1の2H遅延回路及び第2の2H遅延回路を縦列接続して構成し、前記コンポジットデジタル映像信号を前記第1の2H遅延回路及び第2の2H遅延回路に順次通すことにより、遅延のない第1のコンポジット映像信号、2水平ライン分の遅延を与えられた第2のコンポジット映像信号、及び4水平ライン分の遅延を与えられた第3のコンポジット映像信号として、それぞれ出力する信号遅延手段と、

前記第1のコンポジット映像信号、第2のコンポジット映像信号、及び第3のコンポジット映像信号にそれぞれ、1:-2:1の重み付けをして加算し、U成分及びV成分を合わせた色差成分を抽出する第1の加算手段と、

前記第1のコンポジット映像信号、第2のコンポジット映像信号、及び第3のコンポジット映像信号にそれぞれ、1:2:1の重み付けをして加算し、Y成分である輝度成分を抽出する第2の加算手段と、

前記第1の加算手段の出力に、外部から入力されたサブキャリアのU成分にロッキングしたデジタルの正弦波信号を乗算し、U成分を抽出する第1の乗算手段と、

前記第1の加算手段の出力に、外部から入力されたサブキャリアのV成分にロッキングしたデジタルの余弦波信号を乗算し、V成分を抽出する第2の乗算手段とを有することを特徴とする輝度・色信号分離回路。

【請求項6】

前記信号遅延手段が、

前記第1の2H遅延回路の前後に設けられ、前記コンポジットデジタル映像信号に1クロック分の遅延を与えて前記第1の2H遅延回路へ出力する第1の1クロック遅延回路と

、前記第1の2H遅延回路及び第2の2H遅延回路遅延回路との間に設けられ、前記第1の2H遅延回路の出力信号に1クロック分の遅延を与えて前記第2の2H遅延回路へ出力する第2の1クロック遅延回路と、

前記第1の1クロック遅延回路の入力から分岐された信号に当該第1の1クロック遅延回路の出力から分岐された信号を所定割合分加算し、加算結果を前記第1のコンポジット映像信号として出力する第1の加算回路と、

前記第2の1クロック遅延回路の入力から分岐された信号に当該第2の1クロック遅延回路の出力から分岐された信号を所定割合分加算し、加算結果を前記第2のコンポジット映像信号として出力する第2の加算回路とを有することを特徴とする請求項5記載の輝度・色信号分離回路。

【請求項7】

コンポジットアナログ映像信号をコンポーネントデジタル映像信号に変換する映像信号変換装置において、

入力されたコンポジットアナログ映像信号より同期信号を抽出し、当該同期信号に基づいてコンポーネントデジタル映像信号の基準となる周波数の基準周波数クロックを生成す

50

る基準周波数クロック生成手段と、

前記基準周波数クロックに基づいて、前記入力コンポジットアナログ映像信号をアナログ／デジタル変換しコンポジットデジタル映像信号として出力するアナログ／デジタル変換手段と、

前記基準周波数クロックと、前記コンポジットデジタル映像信号とに基づいて、前記入カコンポジットアナログ映像信号のバースト信号に同期したサブキャリア信号を再生出力するサブキャリア発生手段とを備えることを特徴とするコンポジットアナログ／コンポーネントデジタル映像信号変換装置。

【請求項8】

前記アナログ／デジタル変換手段の前後に、前記入カコンポジットアナログ映像信号中のバースト信号の振幅を一定にするバースト自動利得制御手段を設けたことを特徴とする請求項7記載のコンポジットアナログ／コンポーネントデジタル映像変換装置。

【請求項9】

前記サブキャリア信号に基づいて、前記コンポジットデジタル映像信号から輝度成分及び色差成分をそれぞれ分離し、コンポーネントデジタル映像信号として出力する輝度・色信号分離手段とを備えることを特徴とする請求項7、または8記載のコンポジットアナログ／コンポーネントデジタル映像信号変換装置。

【請求項10】

前記サブキャリア発生手段として、請求項1乃至4のいずれか1項に記載のサブキャリア発生回路を備えることを特徴とする請求項7記載のコンポジットアナログ／コンポーネントデジタル映像信号変換装置。

【請求項11】

前記輝度・色信号分離手段として、請求項5、または6記載の輝度・色信号分離回路を備えることを特徴とする請求項9記載のコンポジットアナログ／コンポーネントデジタル映像信号変換装置。

【請求項12】

コンポジットアナログ映像信号をコンポーネントデジタル映像信号に変換する映像信号変換方法において、  
入力されたコンポジットアナログ映像信号より同期信号を抽出し、当該同期信号に基づいてコンポーネントデジタル映像信号の基準となる周波数の基準周波数クロックを生成し

30

、前記基準周波数クロックに基づいて、前記入カコンポジットアナログ映像信号をアナログ／デジタル変換しコンポジットデジタル映像信号とし、

前記基準周波数クロックと、前記コンポジットデジタル映像信号とに基づいて、前記入カコンポジットアナログ映像信号のバースト信号に同期したサブキャリア信号を再生出力し、

前記サブキャリア信号に基づいて、前記コンポジットデジタル映像信号から輝度成分及び色差成分をそれぞれ分離し、コンポーネントデジタル映像信号として出力することを特徴としたコンポジットアナログ／コンポーネントデジタル映像信号変換方法。

【請求項13】

前記入カコンポジットアナログ映像信号中のバースト信号の振幅を一定にしてから、当該入力コンポジットアナログ映像信号のアナログ／デジタル変換を行うことを特徴とする請求項12記載のコンポジットアナログ／コンポーネントデジタル映像信号変換方法。

【項目の詳細な説明】

【技術分野】

【0001】

本発明は、コンポジットアナログ映像信号をコンポーネントデジタル映像信号に変換する映像信号変換装置と、その変換方法と、それに用いる回路とに関する。

【背景技術】

【0002】

50

40

10

20

放送局内では、以前は、入力したアナログ映像信号（コンポジット形式）をアナログのまま、または、コンポジットデジタル映像信号（D2信号）に変換してから処理していた。近年、放送局内のデジタル化が進展し、デジタル処理が容易である理由から、アナログ信号をコンポーネントデジタル映像信号（D1信号）に変換してから処理を行うことが多くなっている。従って、コンポジットアナログ/コンポーネントデジタル映像信号変換の需要が伸びており、重要性が増している。

【0003】

コンポジット形式のアナログ映像信号をコンポーネント形式のデジタル映像信号に変換する従来の装置の一例として、PAL方式アナログ映像信号をコンポーネントデジタル映像（D1）信号に変換する装置例を図6に示す。なお、コンポジットアナログ映像信号は、アナログコンポジット映像信号と称してもよい。また、コンポーネントデジタル映像信号は、デジタルコンポーネント映像信号と称してもよい。

【0004】

図6において、入力端子101に入力されたPALコンポジットアナログ映像信号S101は、低域通過フィルタ（LPF）102と、同期分離回路109と、BCO回路（バースト制御発振器）111とにそれぞれ分岐入力される。LPF102は、入力信号S101から映像信号を抽出するための6MHzの帯域をもつ。同期分離回路109は、入力信号S101から同期信号を抽出する。BCO回路111は、入力信号S101に基づいてサブキャリア周波数（fsc）の4倍のクロック（4fscクロック）を発生する。

【0005】

LPF102の出力信号は、クランプ回路103を通じてA/D変換回路104に入力される。クランプ回路103は、入力されたコンポジットアナログ映像信号のパックポーチ（基準電圧）を一定電圧に固定する。A/D変換回路104は、BCO回路111で生成された4fscクロックにより、コンポジットアナログ映像信号をA/D変換（アナログ/デジタル変換）する。

【0006】

同期パルス発生回路110は、同期分離回路109及びBCO回路111の出力信号に基づいて、各ブロックを制御するための4fsc系の同期パルスを生成する。H-PLL回路113は、BCO回路111及び同期パルス発生回路110の出力信号に基づいて、コンポーネントデジタル映像信号の基準となる単一固定周波数の基準周波数クロック、例えば27MHzクロックを出力する（特許文獻3参照）。同期パルス発生回路112は、同期パルス発生回路110及びH-PLL回路113の出力信号に基づいて、27MHzクロック系の各回路ブロックを制御するための同期パルスを生成する。

【0007】

Y/C分離回路105は、A/D変換回路104から出力されたコンポジットデジタル信号から、輝度成分Y、色差成分U、V（C）をそれぞれ分離する。D2/D1変換回路106は、Y/C分離回路105から出力された4fscクロック系のデータを、D1の基準クロックである27MHzに合わせるための変換処理（コンポーネントデジタル映像信号変換、及び信号レート変換）を行う。

【0008】

プロセス回路107は、D2/D1変換回路106の出力信号に対し、各フラグの挿入、映像のゲイン調整を行う。P/S変換回路（パラレル/シリアル変換回路）108は、プロセス回路107からパラレルで送られたデジタル信号をシリアル信号に変換し、コンポーネントシリアルデジタル映像信号（PAL D1コンポーネント映像信号S114）として出力端子114へ出力する。

【0009】

以上説明したように、従来技術のコンポジットアナログ/コンポーネントデジタル映像信号変換装置は、Y/C分離のための4fscクロックと、コンポーネントデジタル映像信号変換のための27MHzクロックの2つのクロック系を必要とする。これら4fscクロック及び27MHzクロックの発生回路はアナログ回路で構成されるため、回路規模

50

を小さくすることは難しい。

【0010】

なお、NTSC方式のアナログ映像信号をコンポーネントデジタル映像（D1）信号に変換する装置例としては、特許文獻1に示す装置がある。特許文獻1において、Y/C分離を行うのはY/C分離器102、コンポーネントデジタル映像信号変換（信号レート変換）を行うのは、レート変換器104となる。

【0011】

また、PAL方式における4fscクロック作成に使用可能なサブキャリア信号再生回路の例が特許文獻2に示されている。このサブキャリア信号再生回路もアナログ回路で構成されている。

【0012】

【特許文獻1】特開2000-102032号公報（第1-2頁、図1）

【特許文獻2】特開昭57-53192号公報（第1頁、第1図）

【特許文獻3】特開2000-92507号公報（第1-2頁、図2、図6～8）

【発明の解決しようとする課題】

【0013】

上述したように、図6に示す従来技術のコンポジットアナログ/コンポーネントデジタル映像信号変換装置は、Y/C分離のための4fscクロック、コンポーネントデジタル映像信号変換のための基準周波数クロック（27MHzクロック）の2つのクロック系を必要とする。クロックの発生回路は、アナログ回路で構成されるため、回路規模を小さくすることは難しい。

【0014】

このことから、アナログ回路規模を小さくし、デジタル回路で置き換えるコンポジットアナログ/コンポーネントデジタル映像信号変換装置が、コンパクトな製品を提供する上で必要となる。

【0015】

しかし、特許文獻1には、信号レートの変換を行うための手段についての詳細な構成の開示がなく、どのようなクロック回路を用いているのかわからない。さらに、サブキャリアを生成（再生）する技術についての記述もなく、課題を解決するための参考とはならない。

【0016】

また、特許文獻2にも、サブキャリアをデジタル回路のみで生成（再生）する技術について記述がなく、課題を解決するための参考とはならない。

【0017】

本発明の目的は、アナログクロック回路としてはコンポーネントデジタル映像の基準となる基準周波数クロックを生成するクロック回路のみで構成し、アナログ回路要素を少なくすることにより、従来技術より回路規模を低減可能としたコンポジットアナログ/コンポーネントデジタル映像信号変換装置及び変換方法を提供することにある。

【課題を解決するための手段】

【0018】

本発明の請求項1に係るサブキャリア発生回路は、輝度信号と色信号とがサブキャリアにより重畳されたコンポジットアナログ映像信号をコンポーネントデジタル映像信号に変換する際、前記コンポジットアナログ映像信号をデジタル化して得られたコンポジットデジタル映像信号から、輝度信号と色信号とを分離するために用いられるサブキャリア信号を再生出力するサブキャリア発生回路であり、前記コンポジットアナログ映像信号のデジタル化に用いた前記コンポーネントデジタル映像信号の基準となる周波数のクロックを計数し、サブキャリア信号の位相値を算出する位相値算出手段と、サブキャリア信号の波形に対応した所定位相値ごとのレベルデータを記憶した記憶手段と、前記位相値算出手段で算出された位相値を、前記コンポジットデジタル映像信号のバースト信号の位相値との比

50

較結果に応じて補正し、前記配極手段から前記補正された位相値に対応するレベルデータを読み出すことにより、前記コンボジットアナログ映像信号のバースト信号に同期したサブキャリア信号を生成する信号生成手段とを有する。

【0019】

本発明の請求項2に係るサブキャリア発生回路は、輝度信号と色信号とがサブキャリアにより重畳されたPAL方式のコンボジットアナログ映像信号をコンポーネントデジタル映像信号に変換する際、前記コンボジットアナログ映像信号をデジタル化して得られたコンボジットデジタル映像信号と色信号とを分離するために用いられるサブキャリア信号を再生出力するサブキャリア発生回路であり、前記コンボジットアナログ映像信号のデジタル化に用いた前記コンポーネントデジタル映像信号の基準となる周波数のクロックの周期に対応する、サブキャリアの位相値の変化量を近似した固定値を出力する固定値出力手段と、前記クロックの所定数ごとに、前記固定値と、前記近似誤差補正値との近似誤差補正値を生成する近似誤差補正値生成手段と、前記固定値と、前記近似誤差補正値と、位相差補正値とを前記クロックごとに累算加算し、加算結果をサブキャリアの位相値として出力する位相値加算手段と、正弦波のレベルデータを格納し、前記位相値加算手段からのクロックごとの位相値に対応するレベルデータを読み出し、前記サブキャリアの色差成分のうちのV成分にロックした正弦波信号として出力する正弦波データ出力手段と、余弦波のレベルデータを順次読み出し、余弦波信号として出力する余弦波データ出力手段と、前記コンボジットデジタル映像信号のバースト信号の位相と、前記余弦波データ出力手段から出力された余弦波信号を水平ラインごとに位相を反転し、前記サブキャリアの色差成分のうちのV成分にロックした余弦波信号として出力する位相反転手段とを有する。

【0020】

本発明の請求項3に係るサブキャリア発生回路は、請求項2に係るサブキャリア発生回路において、前記余弦波データ出力手段が、前記余弦波のレベルデータを格納する代わりに、前記正弦波データ出力手段の前記正弦波のレベルデータを参照し、前記位相値加算手段からのクロックごとの位相値を90度進ませて、対応するレベルデータを余弦波のレベルデータとして順次読み出す構成を有する。

【0021】

本発明の請求項4に係るサブキャリア発生回路は、請求項2に係るサブキャリア発生回路において、前記コンポーネントデジタル映像信号の基準となる周波数のクロックは、27MHzクロックであり、前記コンボジットアナログ映像信号は、サブキャリアの4フーズ分のサイケル数である709、379サイケルが、前記27MHzクロックの4、320、000サイケルに対応し、前記固定値出力手段が、サブキャリアの1サイケル分の位相を16ビットデータで表したときの前記固定値として、10、762を出力し、前記近似誤差補正値生成手段が、前記近似誤差補正値として、2、015クロックの2クロックごとに1を、24クロックごとに1を、2、015クロックごとに1を、4、320、000クロックごとに1を、それぞれ出力する構成を有する。

【0022】

本発明の請求項5に係る輝度・色信号分離回路は、輝度信号と色信号とがサブキャリアにより重畳されたPAL方式のコンボジットデジタル映像信号と色信号とを分離することにより、コンポーネントデジタル映像信号に変換するための輝度・色信号分離回路であり、それぞれ入力信号に2水平ライン分の遅延を与えて出力する第1の2日遅延回路及び第2の2日遅延回路を縦列接続して構成し、前記コンボジットデジタル映像信号を前記第1の2日遅延回路及び第2の2日遅延回路に順次通することにより、遅延のない第1のコンボジット映像信号、2水平ライン分の遅延を与えられた第2のコンボジット映

像信号、及び4水平ライン分の遅延を与えられた第3のコンボジット映像信号として、それぞれ出力する信号遅延手段と、前記第1のコンボジット映像信号、第2のコンボジット映像信号、及び第3のコンボジット映像信号にそれぞれ、1:1-2:1の重み付けをして加算し、U成分及びV成分を合わせた色差成分を抽出する第1の加算手段と、前記第1のコンボジット映像信号、第2のコンボジット映像信号、及び第3のコンボジット映像信号にそれぞれ、1:2:1の重み付けをして加算し、V成分である輝度成分を抽出する第2の加算手段と、前記第1の加算手段の出力に、外部から入力されたサブキャリアのU成分、前記第1の加算手段の出力に、外部から入力されたサブキャリアのV成分にロックしたデジタル映像信号を乗算し、U成分を抽出する第1の乗算手段と、前記第1の加算手段の出力に、外部から入力されたサブキャリアのV成分にロックしたデジタル映像信号を乗算し、V成分を抽出する第2の乗算手段とを有する。

【0023】

本発明の請求項6に係る輝度・色信号分離回路は、請求項5に係る輝度・色信号分離回路において、前記信号遅延手段が、前記第1の2日遅延回路の前段に設けられ、前記コンボジットデジタル映像信号に1クロック分の遅延を与えて前記第1の2日遅延回路へ出力する第1の1クロック遅延回路と、前記第1の2日遅延回路及び第2の2日遅延回路遅延する第1の1クロック遅延回路と、前記第1の2日遅延回路の出力信号に1クロック分の遅延を与えて前記第1の2日遅延回路へ出力する第2の1クロック遅延回路と、前記第1の1クロック遅延回路の出力から分岐された信号を前記第1のコンボジット映像信号として出力する第1の加算回路と、前記第2の1クロック遅延回路の出力から分岐された信号と前記第2の1クロック遅延回路の出力から分岐された信号を所定割合で加算し、加算結果を前記第2のコンボジット映像信号として出力する第2の加算回路とを有する。

【0024】

本発明の請求項7に係るコンボジットアナログ/コンポーネントデジタル映像信号変換装置は、コンボジットアナログ映像信号をコンポーネントデジタル映像信号に変換する映像信号変換装置において、入力されたコンボジットアナログ映像信号より同期信号を抽出し、当該同期信号に基づいてコンポーネントデジタル映像信号の基準となる周波数の基準周波数クロックを生成する基準周波数クロック生成手段と、前記基準周波数クロックに基づいて、前記入力コンボジットアナログ映像信号をアナログ/デジタル変換しコンボジットデジタル映像信号として出力するアナログ/デジタル変換手段と、前記基準周波数クロックと、前記コンボジットデジタル映像信号とに基づいて、前記入力コンボジットアナログ映像信号のバースト信号に同期したサブキャリア信号を再生出力するサブキャリア発生手段とを備える。

【0025】

本発明の請求項8に係るコンボジットアナログ/コンポーネントデジタル映像信号変換装置は、請求項7に係るコンボジットアナログ/コンポーネントデジタル映像信号変換装置において、前記アナログ/デジタル変換手段の前段に、前記入力コンボジットアナログ映像信号中のバースト信号の振幅を一定にするバースト自動利得制御手段を設けた構成を有する。

【0026】

本発明の請求項9に係るコンボジットアナログ/コンポーネントデジタル映像信号変換装置は、請求項7、または8に係るコンボジットアナログ/コンポーネントデジタル映像信号変換装置において、前記サブキャリア信号に基づいて、前記コンボジットデジタル映像信号から輝度成分及び色差成分をそれぞれ分離し、コンポーネントデジタル映像信号として出力する輝度・色信号分離手段とを備える。

【0027】

本発明の請求項10に係るコンボジットアナログ/コンポーネントデジタル映像信号変換装置は、請求項7に係るコンボジットアナログ/コンポーネントデジタル映像信号変換装置において、前記サブキャリア発生手段として、請求項1乃至4のいずれか1項に係るサブキャリア発生回路を備える。

[0028]

本発明の請求項11に係るコンボジットアナログ/コンポーネントデジタラル映像信号変換装置は、請求項9に係るコンボジットアナログ/コンポーネントデジタラル映像信号変換装置において、前記輝度・色信号分離手段として、請求項5、または6に係る輝度・色信号分離回路を備える。

[0029]

本発明の請求項12に係るコンボジットアナログ/コンポーネントデジタラル映像信号変換方法は、コンボジットアナログ映像信号をコンポーネントデジタラル映像信号に変換する映像信号変換方法において、入力されたコンボジットアナログ映像信号より同期信号を抽出し、当該同期信号に基づいてコンポーネントデジタラル映像信号の基準となる周波数の基準周波数クロックを生成し、前記基準周波数クロックに基づいて、前記入力コンボジットアナログ映像信号をアナログ/デジタラル変換しコンボジットデジタラル映像信号とし、前記基準周波数クロックと、前記コンボジットデジタラル映像信号とに基づいて、前記入力コンボジットアナログ映像信号のベースト信号に同期したサブキャリア信号を再生出力し、前記サブキャリア信号に基づいて、前記コンボジットデジタラル映像信号から輝度成分及び色差成分をそれぞれ分離し、コンポーネントデジタラル映像信号として出力する工程を有する。

[0030]

本発明の請求項13に係るコンボジットアナログ/コンポーネントデジタラル映像信号変換方法は、請求項12に係るコンボジットアナログ/コンポーネントデジタラル映像信号変換方法において、前記入力コンボジットアナログ映像信号中のベースト信号の振幅を一定にしてから、当該入力コンボジットアナログ映像信号のアナログ/デジタラル変換を行う。

[発明の効果]

[0031]

本発明によれば、クロック回路としてはコンポーネントデジタラル映像の基準となる基準周波数クロック(27MHz系クロック)を生成するクロック回路のみとし、かつ、サブキャリア信号の発生もデジタラル回路のみで行うように構成したので、コンボジットアナログ/コンポーネントデジタラル映像信号変換装置全体の回路規模が小さくなり、従来技術より小型化、低価格化が可能となる。

[発明を実施するための最良の形態]

[0032]

まず本発明の概要を説明する。本発明のコンボジットアナログ/コンポーネントデジタラル映像信号変換装置(以下、映像信号変換装置と略記)は、コンボジットアナログ映像信号を、コンポーネントデジタラル映像信号に変換するための装置である。コンボジットアナログ映像信号は、サブキャリア(カラーサブキャリア:色副搬送波)により輝度信号と色信号とが重畳されたアナログ信号である。コンポーネントデジタラル映像信号は、輝度信号(輝度成分)と色信号(色差成分)とが分離されたデジタラル信号である。

[0033]

本映像信号変換装置は、入力コンボジットアナログ信号より抽出した同期信号に基づいて、コンポーネントデジタラル映像信号の基準となる周波数のクロックを生成する。この基準となる周波数(基準周波数)は、単一の固定周波数であり、周波数のクロックを、基準周波数クロック、あるいは基準クロックと称する。映像信号変換装置はまた、この基準周波数クロックに基づいて、同クロックで動作する各回路を映像信号に同期させて開始するための各種同期パルス(基準周波数系同期パルス)も同時に生成する。

[0034]

なお、基準周波数としては、通常の伝送速度270Mbpsのシリアルコンポーネントデジタラル映像信号に対応させる場合、27MHzを用いる。この場合、基準周波数クロック(基準クロック)を27MHzクロックと称する。

[0035]

映像信号変換装置は、また、上記基準周波数クロックで入力コンボジットアナログ信号

50

をA/D変換(アナログ/デジタラル変換)し、コンボジットデジタラル映像信号とする。なお従来技術では、このA/D変換をサブキャリア周波数の4倍の周波数のクロックで行っている。

[0036]

本映像信号変換装置は、続けて、上記基準周波数クロック(同期パルスを含む)と上記A/D変換されたコンボジットデジタラル映像信号とに基づいて、入力コンボジットアナログ映像信号のベースト信号に同期したサブキャリア信号を、デジタラル回路のみで発生させる。このサブキャリア信号は、コンボジットデジタラル映像信号のベースト信号にも同期していることになる。なお、ベースト信号(カラーベースト信号:色同期信号)は、色信号処理の基準に使用される信号である。すなわち、色信号を復調するとき、サブキャリアの周波数、位相を同期させる必要がある。この参照位相として使用される。

[0037]

本映像信号変換装置は、さらに、上記サブキャリア信号により、コンボジットデジタラル映像信号のYC分離(輝度信号(Y)と色信号(C)との分離)を行い、コンポーネントデジタラル映像信号に変換する。

[0038]

このように本発明によれば、コンボジットアナログ映像信号からコンポーネントデジタラル映像信号への変換処理を、単一の基準周波数クロック(27MHzクロック)のみで処理することが可能であり、サブキャリアをデジタラル回路のみで生成することができる。このため、コンボジットアナログ/コンポーネントデジタラル映像信号変換装置全体の回路規模が小さくなり、映像信号変換装置を従来より小型で、低価格とすることができる。

[0039]

本発明では、さらに安定したYC分離を行うために、入力コンボジットアナログのベースト信号の振幅が一定になるバーストAGC(自動利得制御)回路を付加することができる。これにより、本映像信号変換装置は、安定したサブキャリア信号を抽出できるので、YC分離の精度が向上する。

[0040]

次に、本発明を実施するための最良の形態について図面を参照して詳細に説明する。

[0041]

図1は、本発明のコンボジットアナログ/コンポーネントデジタラル映像信号変換装置の一実施の形態を示すブロック構成図である。本例の映像信号変換装置は、PAL方式コンボジットアナログ映像信号をコンポーネントデジタラル映像信号(DI信号)に変換するPAL/DI変換装置である。本映像信号変換装置は、使用されるクロックが27MHz系クロックのみで構成されている。なお、コンボジットアナログ映像信号は、アナログコンボジット映像信号と称してもよい。また、コンポーネントデジタラル映像信号は、デジタラルコンポーネント映像信号と称してもよい。

[0042]

図1において映像信号変換装置は、入力端子1と、クランプ回路2と、バーストAGC回路3と、第1の低域通過フィルタ(LPF)4と、A/D変換回路5と、第2の低域通過フィルタ(LPF)6とを備えている。映像信号変換装置は、さらに、同期分離回路7と、同期パルス発生回路8と、H-PLL回路9と、サブキャリア発生回路10と、Y/C分離回路11と、プロセッサ回路12と、P/S変換回路13と、出力端子14とを備えている。

[0043]

次に、本例の映像信号変換装置(PAL/DI変換装置)の動作を説明する。

[0044]

入力端子1に入力されたPALコンボジットアナログ映像信号S1は、クランプ回路2と同期分離回路7とに分岐入力される。

[0045]

クランプ回路2は、入力端子1から入力されたコンボジットアナログ映像信号S1のバ

50

ックポート（基準電圧）を一定電圧に固定する。

[0046]

同期分離回路7は、入力端子1から入力されたコンポジットアナログ映像信号S1から同期信号（水平同期信号及び垂直同期信号）を抽出する。

[0047]

H-PLL回路9は、フェーズ・ロック・ループ（PLL）を備えた発振回路であり、同期分離回路7で抽出された同期信号（水平（H）同期信号）から27MHzのクロックを生成する。つまりH-PLL回路9は、1水平ラインの期間に発振出力のサイクルが1728サイクルとなるように、PLLの位相比較を行っている。

[0048]

同期パルス発生回路8は、同期分離回路7及びH-PLL回路9の各出力信号に基づいて、各ブロックを制御するための27MHzクロック系の複数の同期パルスを生成する。これらの同期パルスは、用いられる規格に応じたコンポジットデジタル映像信号中の各種信号間の時間関係を示す、様々なタイミング信号である。

[0049]

バーストAGC回路（自動利得制御回路）3は、同期パルス発生回路8の出力信号に従って、クランプ回路2の出力コンポジットアナログ映像信号のバースト部分を一定の振幅にする。バーストの振幅を一定に保つことで、A/D変換後のバースト部分がつぶれることなく、安定したバースト位相を得ることが出来る。（バーストAGC回路3の詳細は、後に図2を参照して説明する。）

バーストAGC回路3の出力信号は、A/D変換される際の折り返しを防止するLPF4を通してA/D変換回路5に入力される。

[0050]

A/D変換回路5は、入力されたコンポジットアナログ映像信号をA/D変換（アナログ/デジタル変換）し、コンポジットデータ映像信号とする。

[0051]

サブキャリア発生回路10は、27MHzクロックからサブキャリアを発生する回路である。サブキャリア発生回路10は、同期パルス発生回路8及びH-PLL回路9の各出力信号に基づいて、A/D変換回路5の出力映像信号から、映像信号内の色差成分であるU成分、V成分にロックしたサブキャリアをデジタル的に生成する。サブキャリア発生回路10は、デジタル回路で構成され、集積化が容易であるため、従来と比較してコンパクトなPAL/D1変換装置が実現できる。（サブキャリア発生回路10の詳細は、後に図3を参照して説明する。）

A/D変換回路5の出力信号はまた、映像信号の帯域を抽出するLPF6を通してY/C分離回路11に入力される。

[0052]

Y/C分離回路11は、サブキャリア発生回路10の出力信号に基づいて、A/D変換回路5の出力信号形式をコンポジットからコンポジットに変換する。このとき、Y/C分離回路11では、27MHzクロックのみの単一クロックで、輝度信号（輝度成分）Y、色信号C（色差成分U、V）の抽出を行う。（Y/C分離回路11の詳細は、後に図4、5を参照して説明する。）

プロセッサ回路12は、同期パルス発生回路8及びH-PLL回路9の各出力信号に基づいて、Y/C分離回路11の出力信号に対するY、U、V成分のゲイン調整、D1フォーマット用の映像タイミング基準コード（SAV、EAV）の挿入などを行う。なお、SAVは1ラインの始まりを、EAVは1ラインの終わりを、それぞれ示す基準コード（制御ビット）である。

[0053]

P/S変換回路（パラレル/シリアル変換回路）13は、プロセッサ回路12から出力されたパラレルのデータ（PALコンポジット信号）をシリアルデータに変換し、PALD1コンポジット映像信号S14として出力端子14へ出力する。

[0054]

このようにして、本例の映像信号変換装置（PAL/D1変換装置）は、入力されたPALコンポジットアナログ映像信号（S1）をPALコンポジット（D1）シリアル信号（S14）へ変換して出力する。本発明の構成の回路は、27MHzクロックのみで動作し、かつ、サブキャリアをデジタル回路のみで生成できる。よって、本発明の映像信号変換装置は、全体の回路規模が小さくなることから、従来よりも、コンパクトな映像信号変換装置（PAL/D1変換装置）を提供することができる。

[0055]

図2は、図1のバーストAGC回路3の詳細構成例を示すブロック構成図である。図2において、本例のバーストAGC回路3は、ゲイン（GAIN）調整回路33と、帯域通過フィルタ（BPF）34と、直流回路35と、低域通過フィルタ（LPF）36と、サブホルド回路37と、比較回路38とを有している。バーストAGC回路3は、その他に、入力端子30、31、32と、出力端子39とを有している。

[0056]

バーストAGC回路3の入力端子30、31には、同期パルス発生回路8からの27MHzクロック系の2種類の同期パルスが供給される。入力端子30に入力される同期パルスは、コンポジットアナログ映像信号のバースト期間だけを抽出するためのパルスであり、GAIN調整回路33で用いられる。入力端子31に入力される同期パルスは、上記バースト期間内のある1期間（サンプリングタイミング）だけを抽出するためのパルス（サンプリングパルス）であり、サンプリングホルド回路37で用いられる。

[0057]

入力端子32の入力信号は、クランプ回路2でクランプ処理が行われたコンポジットアナログ映像信号であり、GAIN調整回路33を通じて、BPF34に入力される。

[0058]

BPF34は、GAIN調整回路33からの出力信号から色成分（サブキャリア周波数成分）を抽出するための帯域通過を行う。

[0059]

直流回路35は、BPF34で抽出された周波数成分を整流し、LPF36により平滑化し、サンプリングホルド回路37に入力する。

[0060]

サンプリングホルド回路37は、同期パルス発生回路8からのバーストのある点に同期したサンプリングパルスのタイミングに合わせて、入力信号の値（電圧値）を保持する。

[0061]

比較回路38は、サンプリングホルド回路37の出力電圧（保持電圧）と、あらかじめ設定された基準電圧の差分を算出し、検出結果をGAIN調整回路33に戻す。

[0062]

GAIN調整回路33で、同期パルス発生回路8からのバーストに同期したパルスに基づいて、比較回路38での差分が“0”となるように入力信号のバースト振幅のゲインを調整し、これにより、帰還ループが構成される。GAIN調整回路33は、入力信号のバースト部分の振幅を一定にし、出力端子39より出力する。

[0063]

図3は、図1のサブキャリア発生回路10の詳細構成例を示すブロック構成図である。図3において、本例のサブキャリア発生回路10は、第1、第2、及び第3の補正値生成回路51、52、53と、補正値加算回路54と、固定値出力回路55と、位相値加算回路56と、位相値ラッチ回路57と、正弦波（SIN波）ROM58と、正弦波（COS波）ROM59とを有している。サブキャリア発生回路10は、また、帯域通過フィルタ（BPF）61と、乗算回路66と、低域通過フィルタ（LPF）64と、第1、及び第2の位相ラッチ回路65、66と、位相差加算回路68と、補正値計算回路69、カウンタ71と、反転回路72とを有している。サブキャリア発生回路10は、その他に、映像信号入力端子（Video In）60と、サブキャリア（U成分）出力端子62と、

第1.、及び第2の同期信号入力端子67、70とを有している。

[0064]

ここで、サブキャリア発生回路10において、27MHzクロックからサブキャリアを生成する原理を説明する。

[0065]

PAL方式のコンポジット映像信号では、1フレームの水平ライン数は625本で、1秒当たりのフレーム数は25フレーム(2:1インタレース)である。この映像信号において、サブキャリアの周波数 $f_{sc}$ と水平ライン周波数 $f_{lh}$ とは、 $f_{sc} = (1135/4 + 1/625) \times f_{lh}$ の関係がある。 $f_{lh} = 625 \times 25$  [Hz] であるので、 $f_{sc} = (1135/4 + 1/625) \times 625 \times 25$  [Hz] となる。

[0066]

ところで、1フレームの周波数は25Hz (フレームレート=25fps) であり、上記 $f_{sc}$ の値は25フレーム分のサイクル数を示している。よって、サブキャリアの4フレーム間のサイクル数は709、379サイクル (=  $(1135/4 + 1/625) \times 625 \times 25 \times 4/25$ ) になる。

[0067]

一方、27MHzクロックは、4フレーム間当たり、4、320、000サイクル (=  $27000000 \times 4/25$ ) になる。

[0068]

サブキャリアの1サイクル分の位相 (角度:  $360^\circ$ ) を2の16乗で均等に分割 (量子化) し、各位相位置に対応する数値 (位相値) で表すようにする。すなわち、 $0^\circ$  を数値 "0" に対応させ、位相 (分割した位相位置) の増加に伴って順次、数値を "1" ずつ増加させ  $360^\circ$  を数値 "65、536" に対応させる。よって、4フレーム分に相当する709、379サイクルでは、位相は709、379  $\times 360^\circ$  だから、"46、489、862、144" (=  $65536 \times 709379$ ) と表すことができる。

[0069]

ここで、27MHzからサブキャリアの位相をつくるため、27MHzクロックの4フレーム分に相当する4、320、000サイクルでサブキャリアの位相 (位相値) を "46、489、862、144" と表現する必要がある。このため、27MHzクロックの1サイクル ( $360^\circ$ : 1クロック) 当たりのサブキャリアの位相変化量を46、489、862、144/4、320、000  $\times 10$ 、761、54...とすることになる。ここでこの数値を整数で近似し、"10、762" とする。

[0070]

上記の近似をした場合、27MHzクロックの4、320、000サイクルは、サブキャリアの位相の "46、491、840、000" となり、"+1、977、856" の誤差がある。この近似誤差の1回目の補正として、2サイクル毎に "-1" を足してあげることにより、4、320、000サイクルでの誤差は "-182、144" となる。2回目の補正として、24サイクルに1回、"+1" を足してあげると、4、320、000サイクルでの誤差は、"-2、144" となる。3回目の補正として、2、015サイクルに一回、"+1" を足してあげると、誤差は "-1" となる。最後 (4回目) の補正として、4、320、000サイクルに1回、"+1" を足す。

[0071]

このようにして、27MHzのクロックから、精度の高いサブキャリアの周波数 $f_{sc}$ の位相を計算することができる。上で述べた部分は、図3の符号51~57の各回路の動作に相当する。

[0072]

各補正値生成回路51、52、53はそれぞれ、カウンタと、デコーダと、固定値出力回路とを有している。各カウンタは、27MHzクロック (CLK) に基づいて、クロック入力ごとに "1" カウントアップする。各デコーダは、対応するカウンタのカウント値を監視し設定値に達するとカウンタをリセットする。各固定値出力回路は、対応するデコ

50

ードまたはカウンタの値が設定値になると所定の値を出力する。

[0073]

補正値生成回路53は、23ビットのカウンタ、デコーダを有し、上述の1回目及び4回目の補正を担当する。すなわち、補正値生成回路53は、27MHzクロックの2クロックに1回 (カウンタのLSB (最下桁) の "0" / "1" に対応)、補正値として "-1" を出力する。補正値生成回路53は、また、4、320、000クロックに1回、補正値として "+1" を出力する。

[0074]

補正値生成回路52は、5ビットのカウンタ、デコーダを有し、上述の2回目の補正を担当する。すなわち、補正値生成回路52は、27MHzクロックの24クロックに1回、補正値として "+1" を出力する。また、補正値生成回路52は、補正値生成回路53のカウントをリセットする。

[0075]

補正値生成回路51は、11ビットのカウンタ、デコーダを有し、上述の3回目の補正を担当する。すなわち、補正値生成回路51は、27MHzクロックの2、015クロックに1回、補正値として "+1" を出力する。また、補正値生成回路51は、補正値生成回路53での4、320、000クロックカウントによるカウンタリセットに合わせて、自回路のカウンタをリセットする。

[0076]

補正値加算回路54は、補正値生成回路51、52、53からの27MHzクロックに対応した各近似誤差に対する補正値と、補正値計算回路69からの位相差に対応した補正値を加算、集計し (16ビットの加算)、位相値加算回路56へ出力する。

[0077]

固定値出力回路55は、27MHzクロックの1クロック (1サイクル:  $360^\circ$ ) に対応するサブキャリアの位相値の近似値、"10、762" を常時、出力する。

[0078]

位相値加算回路56は、固定値出力回路55からの近似値 "10、762" と、補正値加算回路54からの集計された補正値と、位相値ラッチ回路57の前回クロックの保持値とを加算、集計する。

[0079]

位相値ラッチ回路57は、27MHzクロックの1クロックごとに、位相値加算回路56での集計結果を出力サブキャリアの位相値として取り込み、保持し、出力する。

[0080]

SIN波ROM (Read Only Memory) 58、及びCOS波ROM 59はそれぞれ、各位相値に応じた (正弦波) のレベル値 (データ)、及びCOS波 (余弦波) のレベル値 (データ) を格納している。

[0081]

SIN波ROM 58は、位相値ラッチ回路57からの27MHzクロックごとの出力位相値に応じたレベル値を順次読出し、U成分にロックしたデジタルのSIN波 (サブキャリア: SC) として出力端子62へ出力する。

[0082]

COS波ROM 59は、位相値ラッチ回路57からの27MHzクロックごとの出力位相値に応じたレベル値を順次読出し、デジタルのCOS波として、乗算回路63と、反転回路72とへ出力する。

[0083]

なお、本実施の形態においては、SIN波デコーダを出力するためのSIN波ROM 58と、COS波デコーダを出力するためのCOS波ROM 59を別々に設けたが、読み出しの位相値を補正することにより、どちらか一方があればよい。例えば、SIN波ROM 58のみを設けておき、COS波デコーダを読み出すときは、位相値ラッチ回路57の出力位相

50



値を90°進めるようにする。

[0084]

一方、入力端子60に入力されたA/D変換回路5でA/D変換されたコンボジットアナログ信号(VIDEO IN)は、BPF61でサブキャリア周波数成分を抽出され、乗算回路63に入力される。

[0085]

乗算回路63は位相比較器であり、COS波ROM59の出力COS波と、BPF61を通した入力映像信号のバースト信号部分との位相を比較するために、それらの乗算を行う。LPPF64は、乗算回路63の乗算結果から、高次成分を除去し、位相差を抽出する。

[0086]

各位相差ランッチ回路65、66と位相差加算回路68とは協同して、入力端子67に入力されたHパルスに従い、LPPF64からの位相差に対し、2H(2水平ライン)期間にわたる平均位相差を算出する。なお、Hパルス(H PULSE)とは、同期パルス発生回路8で生成された、バーストの一部分に相当する同期パルスである。

[0087]

補正値計算回路69は、位相差加算回路68で検出された位相差に対応する補正値を補正値加算回路54に増速することにより、SIN波とCOS波の位相を入力映像信号のサブキャリアの位相に同期させる。

[0088]

ところで、サブキャリアのV成分は、1H(水平ライン)毎に反転(正負の反転)するため、COS波を1H毎に反転させて生成する必要がある。

[0089]

このため、1ビットのカウントであるカウンタ71で、入力端子70に入力された1Hクロックに従い、カウント値を“0”か“1”かに交互に反転させ、そのカウント出力を反転回路72に供給する。例えば、カウント値が“0”のときはCOS波の符号はそのま(＋と表記)とし、カウント値が“1”のときはCOS波の符号を反転(－と表記)させるようにすることができる。ただし、どの水平ラインが「＋」で、どの水平ラインが「－」であるかを指定するために、カウンタ71は、LPPF64の出力を参照して、カウント値の“0”/“1”を決定している。なお、1Hクロック(1H CLK)とは、同期パルス発生回路8で生成された、1水平ライン期間を周期とする同期パルスである。

[0090]

反転回路72は、カウンタ71の出力に従い、COS波ROM59からのCOS波を1H毎に反転(正負の反転)させて、V成分にロックしたデジタルのCOS波(サブキャリア:SC)として出力端子73へ出力する。

[0091]

図4は、図1のY/C分離回路11の詳細構成例を示すブロック構成図である。図4において、本例のY/C分離回路11は、信号遅延部80と、第1、及び第2の加算回路84、85と、第1、及び第2の乗算回路86、88と、1H遅延回路90と、第1、及び第2の低域通過フィルタ(LPF)91、92と、第1、及び第2の伝送歪み除去回路94、95とを有している。Y/C分離回路11はさらに、第2、及び第3の入力端子と、第1、第2、及び第3の出力端子96、97、98とを有している。

[0092]

信号遅延部80は、第1の入力端子81から、縦列に接続された2つの2H遅延回路(2H DELAY)82、83を含んでいる。入力端子81(2H遅延回路82の入力点)、2H遅延回路82の出力点(2H遅延回路83の入力点)、2H遅延回路83の出力点それぞれ、加算回路84と加算回路85とに接続されている。

[0093]

入力端子81に、A/D変換回路5によりコンボジットアナログ映像信号をA/D変換したデジタル信号が、LPPF6を通して入力される。この信号は、2つの2H遅延回路8

2、83により順次、1H(1水平ライン:時間として水平同期信号の周期)の2つ分の時間遅延(2H遅延)が累積的に与えられる。

[0094]

加算回路84、及び加算回路85はそれぞれ、入力端子81、2H遅延回路82、2H遅延回路83からの信号に所定の重み付けをして加算することにより、U、V成分(色差信号)、及びY成分(輝度信号)を抽出する。

[0095]

すなわち、加算回路84は、遅延のない入力端子81からの信号に対し「1/4」を掛け、2H遅延の2H遅延回路82からの信号に対し「1/2」を掛け、4H遅延の2H遅延回路83からの信号に対し「1/4」を掛け、それらを加算、集計することによりU、V成分を抽出する。

[0096]

加算回路85は、遅延のない入力端子81からの信号に対し「1/4」を掛け、2H遅延の2H遅延回路82からの信号に対し「1/2」を掛け、4H遅延の2H遅延回路83からの信号に対し「1/4」を掛け、それらを加算、集計することによりY成分を抽出する。

[0097]

ここで、デジタル化コンボジット映像信号から、Y成分と、U、V成分とを抽出する原理を説明する。

[0098]

対象のコンボジット信号をM、サブキャリア周波数をfsc、時間をtとすると、Y、U、V間の関係は、

$$\langle 1 \rangle \quad M = Y + U \sin 2\pi f_{sc} t \pm V \cos 2\pi f_{sc} t,$$

と表される。

[0099]

PALのU、V成分サブキャリアは、下記の関係がある。

(イ) U、V成分はライン毎に、位相が90°ずれる。

(ロ) V成分はライン毎に位相が反転する。

[0100]

よって、ラインhでのY、U、V成分を、それぞれY(h)、U(h)、V(h)とすると、ラインh-2、ラインh、ラインh+2間の関係は、

$$\langle 2 \rangle \quad Y(h-2) = Y(h) = Y(h+2),$$

$$\langle 3 \rangle \quad U(h-2) = -U(h) = U(h+2),$$

$$\langle 4 \rangle \quad V(h-2) = -V(h) = V(h+2),$$

となる。

[0101]

よって、hラインでのA/D変換されたコンボジット映像信号M(h)を用いて、

$$\langle 5 \rangle \quad Y(h) = 1/4 * M(h-2) + 1/2 * M(h) + 1/4 * M(h+2),$$

$$\langle 6 \rangle \quad U(h) + V(h) = 1/4 * M(h-2) - 1/2 * M(h) + 1/4 * M(h+2),$$

と表現することができ、Y成分とU、V成分とを抽出することができる。これらの式は図4の加算回路84、及び加算回路85に相当する(2H遅延回路82の出力を差算(遅延なし)に考えると、入力端子81の信号は、-2H遅延、2H遅延回路83の出力は、2H遅延となる。)

[0102]

ここで、先程(イ)では、90°位相がずれると述べたが、厳密に言えば、90°+0.576°ずれる。これは、PALの規格が、(fsc=1135/4+1/625)×fhであるため、僅かにサンプリングポイントがずれ、位相が遅延していることによる。

[0103]

Y成分とU、V成分との分離の精度をあげるためには、この位相のずれを補正する必要

があり、信号遅延部80の回路構成にそのための工夫を加えた例を以下に示す。

【0104】  
信号遅延部80において、入力端子81のPAL映像信号に、この信号より1クロック遅延した成分を何割か混ぜた信号をM(h-2)として加算回路84、85へ入力する。信号遅延部80は、また、2H遅延回路82で2H遅延した信号に、この信号より1クロック遅延した成分を何割か混ぜた信号をM(h)として加算回路84、85へ入力する。こうすることにより、信号遅延部80は、サブキャリアのU、V成分の位相のずれを補正することができる。更に精度よく、Y成分とU、V成分を分離することができる。図5にそのような信号遅延部80の回路構成例を示す。

【0105】  
図5の回路は、図4の回路に対してさらに、入力端子81と2H遅延回路82との間に、1クロック遅延回路(1CLOCKDELAY)801と加算回路802とが挿入されている。さらに、2H遅延回路82と2H遅延回路83との間に、1クロック遅延回路803と加算回路804とが挿入されている。加算回路802で、入力端子81のPAL映像信号と、1クロック遅延回路801によりその信号より1クロック遅延した成分の何割かとを混ぜて、M(h-2)を生成する。加算回路804で、2H遅延回路82で1クロック遅延回路801の出力より2H遅延した信号と、1クロック遅延回路803によりその信号より1クロック遅延した成分の何割かとを混ぜて、M(h)を生成する。また、2H遅延回路83で1クロック遅延回路803の出力より2H遅延した信号をM(h+2)とする。

【0106】  
ここで、図4に説明を戻す。  
【0107】  
サブキャリア発生回路10から入力端子87に入力されたサブキャリアのV成分にロックしたCOS波は、乗算回路86へ入力される。同様に、サブキャリア発生回路10から入力端子89に入力されたサブキャリアのU成分にロックしたSIN波は、乗算回路88へ入力される。

【0108】  
乗算回路86は、U、V成分を抽出した加算回路84の出力に対し、サブキャリアのV成分にロックしたCOS波を乗算することにより、V成分を抽出することができる。同様に、乗算回路88は、U、V成分を抽出した加算回路84の出力に対し、サブキャリアのU成分にロックしたSIN波を乗算することにより、U成分を抽出することができる。乗算回路86の出力信号(V成分)は、LPF91により残留する2×fscの周波数成分が除去され、伝送ひずみ除去回路94により位相遅延があった場合の歪みが除去され、出力端子96へ出力される。

【0109】  
乗算回路88の出力信号(U成分)は、LPF92により残留する2×fscの周波数成分が除去され、伝送歪み除去回路95により位相遅延があった場合の歪みが除去され、出力端子97へ出力される。

【0110】  
なお、伝送ひずみ除去回路94、及び伝送歪み除去回路95はそれぞれ、縦列接続された2つの1H遅延回路と、各1H遅延回路の入力、及び出力を加算する加算回路とを有している。

【0111】  
1H遅延回路90は、U成分、V成分が伝送歪み除去回路94、95の処理を行った結果、1H遅延するので、Y成分の出力位相を合わせるための1H遅延を行う。

【0112】  
このようにして、入力端子81の入力(デジタル化コンポジット映像信号)から、V、U、Y成分を抽出し、コンポーネントデジタ映像信号として、それぞれ出力端子96、97、98から出力することができる。

50

【0113】

なお、上述の実施の形態の説明では、入力側のコンポジットアナログ映像信号として、PAL形式の信号としたが、本発明はこれに限定されることがなく、NTSC形式の信号等、他の形式の信号にも適用可能である。

【図面の簡単な説明】

【0114】  
【図1】本発明の映像信号変換装置の一実施の形態を示すブロック構成図である。  
【図2】図1に示すサブスタAGC回路の詳細構成例を示すブロック構成図である。  
【図3】図1に示すサブキャリア発生回路の詳細構成例を示すブロック構成図である。  
【図4】図1に示すY/C分離回路の詳細構成例を示すブロック構成図である。  
【図5】図4に示すY/C分離回路の変形例を示すブロック構成図である。  
【図6】従来の技術によるPAL/D1変換装置を示すブロック構成図である。

【符号の説明】

【0115】  
3 バーストAGC回路  
5 A/D変換回路  
7 同期分離回路  
8 同期パルス発生回路  
9 H-PLL回路  
10 サブキャリア発生回路  
11 Y/C分離回路  
12 プロセス回路  
33 ゲイン(GAIN)調整回路  
37 サンプリングホールド回路  
51, 52, 53 補正値生成回路  
54 補正値加算回路  
55 固定値出力回路  
56 位相値加算回路  
57 位相値ラッチ回路  
58 正弦波(SIN波)ROM  
59 余弦波(COS波)ROM  
63 乗算回路  
65, 66 位相差ラッチ回路  
68 位相差加算回路  
69 補正値計算回路  
71 カウンタ  
72 反転回路  
80 信号遅延部  
82, 83 2H遅延回路  
84, 85 加算回路  
86, 88 乗算回路  
90 1H遅延回路  
94, 95 伝送歪み除去回路  
801, 803 1クロック遅延回路  
802, 804 加算回路

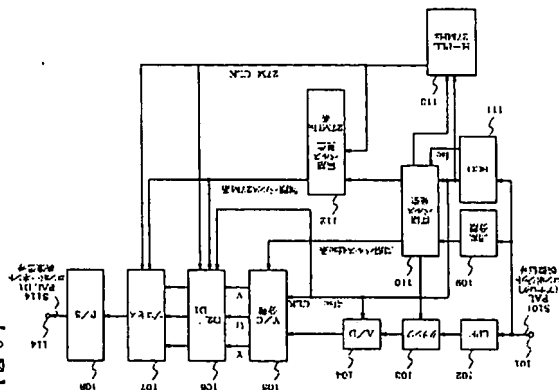
40

30

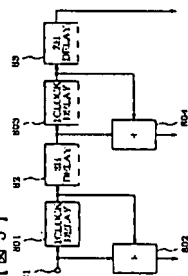
20

10

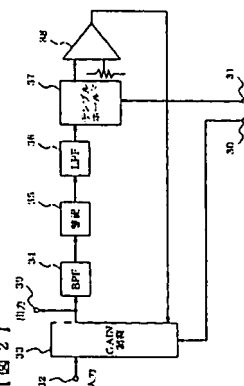
【図 6】



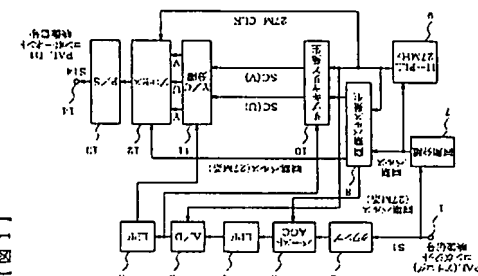
【図 5】



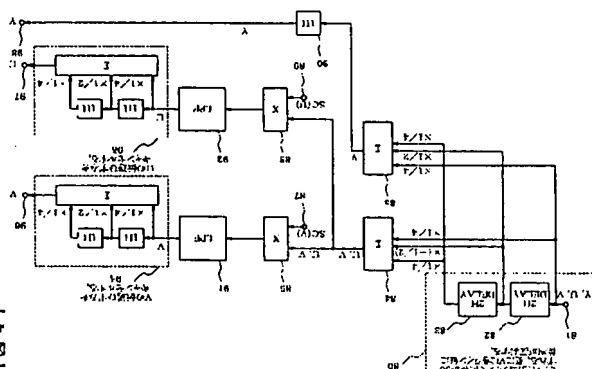
【図 2】



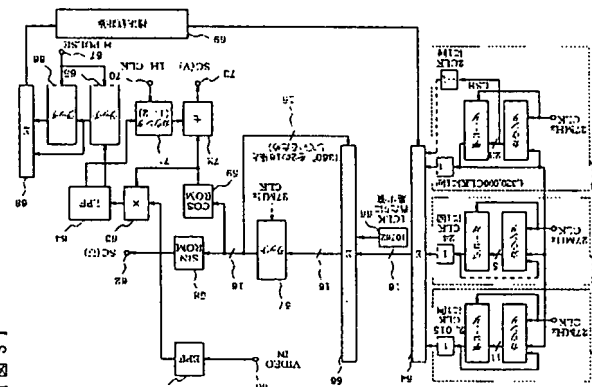
【図 1】



【図 4】



【図 3】



フロントページの続き

Fターム(参考) 5C066 AA01 BA03 DA03 DB07 DC02 GA02 GA03 GA05 GA13 GA15  
GA16 GA20 GA26 GA28 HA05 KA12 KA13 KB05 KC11 KD03  
KE02 KE03 KE05 KE09 KE24